การเพิ่มอัตราการสุ่มสัญญาณสองเท่าในวงจรสุ่มและคงค่าสัญญาณ

Double the Sampling Rate in a Sample and Hold Circuit

พิเชษฐ์ วิสารทพงศ์
สถาบันวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ มหาวิทยาลัยเทคโนโลยีมหานคร
E-mail: pichet@mut.ac.th

บทคัดย่อ

บทความฉบับนี้ นำเสนอการเพิ่มอัตราสุ่มสัญญาณสองเท่าในวงจรสุ่มและคงค่าสัญญาณ ด้วยการปรับค่าดิวตี้ไซเคิล (Duty cycle) ของสัญญาณควบคุมการทำงานของสวิตช์ทั้งสอง ให้มีค่ามากกว่า 50% และสัญญาณควบคุมตัวแรกจะถูกหน่วงเวลาให้ทำงานช้ากว่าสัญญาณควบคุมที่สอง 50% ของคาบเวลาสัญญาณควบคุม ซึ่งผลการจำลองการทำงานแสดงให้เห็นการเพิ่มอัตราการสุ่มได้สองเท่าตามที่ต้องการ

คำสำคัญ: การสุ่มสัญญาณ, วงจรสุ่มและคงค่า, การปรับความกว้างพัลส์

Abstract

This article presents how to increase the double sample rate in a sample and hold circuit. By adjusting the duty cycle of the signal controlling the operation of both switches to be greater than 50% and the first control signal will be delayed to operate 50% later than the second control signal. The simulation results show that the desired sampling rate can be doubled.

Keywords: Sampling, Sample and Hold, Pulse Width Modulation

1. บทนำ

ในปัจจุบันเทคโนโลยีการประมวลผลข้อมูลภาพและเสียง หรือสัญญาณความเร็วสูงนั้นความสำคัญเพิ่มขึ้นอย่างมาก เช่น การสร้างภาพทางการแพทย์ การประชุมออนไลน์ การสื่อสารบรอดแบนด์ และการสื่อสารผ่านระบบอินเทอร์เน็ตความเร็วสูงนั้นได้มีบทบาทที่สำคัญยิ่ง ในการเปลี่ยนแปลงโลกแอนะล็อกไปสู่โลกทางดิจิทัลอย่างสมบูรณ์แบบ ซึ่งการพัฒนาเพื่อก้าวเข้าสู่โลกดิจิทัลนั้นจำเป็นต้องมุ่งเน้นการปรับปรุงการทำงานขององค์ประกอบที่เป็นส่วนสำคัญประการหนึ่ง คือ ตัวแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter: ADC)

ตัวอย่างการแปลงสัญญาณด้วย ADC นั้นมีหลักการและวิธีการที่นำเสนอแตกต่างกันมากมายต่างมุ่งหมายให้วงจรมีความเร็วและความละเอียดสูง นับเป็นสิ่งที่ท้าทายจำเป็นต้องได้รับการปรับปรุงโครงสร้างและการทำงานพื้นฐานอย่างมาก วงจรสุ่มและคงค่าสัญญาณเป็นหนึ่งในองค์ประกอบที่มีความพยายามการปรับปรุงวงจรให้มีความเร็วสูงและทำงาน

เป็นเชิงเส้นอยู่ตลอดเวลา วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold: S/H) เป็นหนึ่งในวิธีการที่ได้รับความนิยม เนื่องจากโครงสร้างที่ไม่ซับซ้อน [1-4] นอกจากการใช้เป็นส่วนหนึ่งของวงจร ADC แล้วยังมีการนำไปใช้ในระบบสื่อสาร วงจรมอดูเลตสัญญาณพัลส์ (Pulse Modulation) วงจรมัลติเพล็กซ์-ดีมัลติเพล็กซ์ (Multiplexers-De multiplexers) วงจรเชื่อมต่อสัญญาณดิจิทัล (Digital Interface Circuits) ใช้ในงานการประมวลผลสัญญาณต่างๆ เป็นต้น

2. หลักการเบื้องต้น

2.1 การสุ่มตัวอย่าง

สัญญาณที่ได้รับทางธรรมชาติทั่วไปนั้นเป็นสัญญาณที่มีการเปลี่ยนแปลงอยู่ตลอดเวลา หรือที่เรียกว่าสัญญาณแอนะล็อก (Analog Signal) สัญญาณเหล่านี้หากนำมาวิเคราะห์ดูจะพบว่าจะมีปริมาณข้อมูลบรรจุอยู่ภายในเป็นจำนวนมาก หากนำไปประมวลผลสัญญาณทั้งหมดนั้นต้องใช้เวลานานมาก และจำนวนข้อมูลที่วิเคราะห์ได้นั้นยังมีปริมาณมากมาย และมีจำนวนไม่น้อยที่ข้อมูลเหล่านั้นเป็นข้อมูลมีความซ้ำซ้อนเกินความจำเป็น หากว่าสัญญาณข้อมูลถูกลดจำนวนด้วยการสุ่มมาแค่บางส่วน ส่งผ่านกระบวนการการประมวลผลและยังสามารถให้ผลลัพธ์ที่ใกล้เคียงกับข้อมูลต้นแบบได้ วิธีการสุ่มนี้จะช่วยลดปริมาณข้อมูลและเพิ่มความเร็วในการประมวลสัญญาณเป็นอย่างมาก

การสุ่มตัวอย่าง (Sampling) เป็นหัวใจหลักของการแปลงสัญญาณที่มีการเปลี่ยนแปลงต่อเนื่องทางเวลา (continuous signal) หรือสัญญาณแอนะล็อกให้อยู่ในรูปไม่ต่อเนื่องทางเวลา (discrete signal) หรือสัญญาณดิจิทัล ซึ่งการสุ่มเก็บตัวอย่าง (sample) ของสัญญาณดังกล่าวนั้นถูกกำหนดให้มีความถี่ในการเก็บค่าที่เท่าๆ กัน ซึ่งความถี่ดังกล่าวเรียกว่าความถี่การสุ่มตัวอย่าง หรือ อัตราการสุ่มตัวอย่าง (sampling frequency or sampling rate: fs) หากพิจารณาในในทางเวลาจะแสดงเป็นช่วงเวลาการสุ่มตัวอย่าง หรือ ระยะเวลาการสุ่มตัวอย่าง (sampling interval or sampling period: Ts)

ทฤษฎีการสุ่มตัวอย่างของ Nyquist เป็นหลักการสำคัญที่ถูกนำมาใช้งานอย่างแพร่หลาย ซึ่งทฤษฎีนี้ได้ระบุว่า “อัตราการสุ่มตัวอย่างต้องมีอย่างน้อยสองเท่าของแบนด์วิดธ์ของสัญญาณข้อมูล” ดังสมการที่ (1)

$$fs \geq 2W \quad (1)$$

โดยที่ fs คือ ความถี่สัญญาณที่ใช้สุ่มตัวอย่าง (Hz)

W คือ แบนด์วิดธ์สัญญาณข้อมูลอินพุต (Hz)

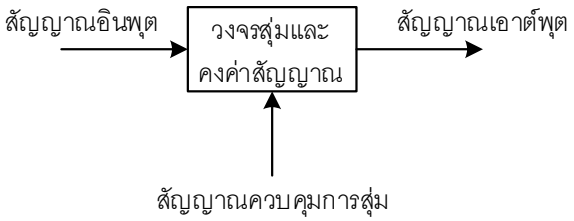
ทฤษฎีการสุ่มสัญญาณนี้ได้ถูกนำไปใช้ในทางปฏิบัติมากมายในหลายเทคโนโลยีดังตัวอย่างในตารางที่ 1

ตารางที่ 1 ตัวอย่างการสุ่มสัญญาณ

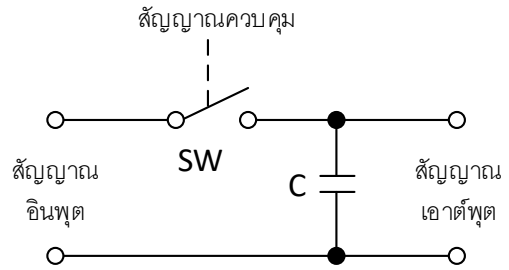
อัตราการสุ่ม	การนำไปใช้งาน
8 kHz	เสียงพูด
44.1 kHz	เสียงดนตรี
96 kHz	การบันทึกเสียงคุณภาพสูง
250 kHz	สัญญาณอัลตราโซนิค
200MHz	สัญญาณเรดาร์

2.2 วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold Circuit)

วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold Circuit : S/H) หรือวงจร S & H เป็นวงจรที่มีขนาดเล็กและไม่ซับซ้อน เป็นที่นิยมในการนำมาใช้งานมากมายหลากหลายเช่น ทั้งในด้านวงจรอิเล็กทรอนิกส์ ระบบสื่อสาร การประมวลสัญญาณดิจิทัล เทคโนโลยีด้านมัลติมีเดีย โดยมักจะใช้เป็นตัวแปลงสัญญาณแอนะล็อกให้เป็นสัญญาณดิจิทัล ดังรูปที่ 1 แสดงบล็อกไดอะแกรมของการสุ่มและคงค่าสัญญาณ โดยมีสัญญาณแอนะล็อกป้อนเข้ามาทางด้านอินพุต และวงจรจะทำการสุ่มและคงค่าสัญญาณตามจังหวะของสัญญาณควบคุม ในช่วงระยะเวลาที่เท่ากันโดยมีอัตราการสุ่มเป็นไปตามทฤษฎีการสุ่มสัญญาณ



รูปที่ 1 ไดอะแกรมวงจรสุ่มและคงค่าสัญญาณ

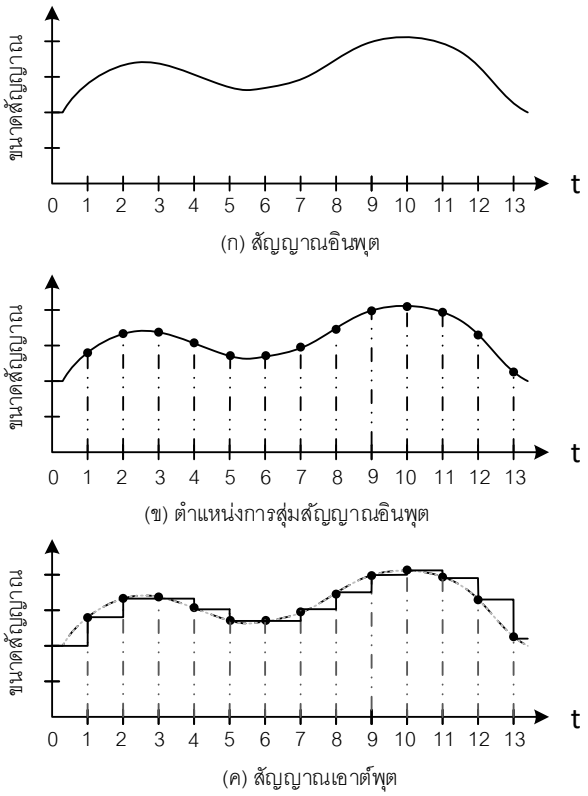


รูปที่ 2 วงจรสุ่มและคงค่าสัญญาณอย่างง่าย

วงจรวงจร S/H อย่างง่ายในรูปที่ 2 ได้ถูกนำไปแทนตามไดอะแกรมรูปที่ 1 โดยมีส่วนประกอบสำคัญของวงจรดังนี้

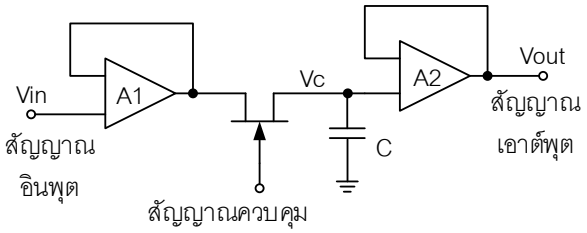
สวิตช์ (Switch : SW) เป็นตัวควบคุมการเชื่อมต่อระหว่างสัญญาณอินพุตและตัวเก็บประจุ

ตัวเก็บประจุ (Capacitor : C) ใช้สำหรับเก็บแรงดันไฟฟ้าที่ไหลผ่านสวิตช์



รูปที่ 3 สัญญาณในวงจรสุ่มและคงค่าสัญญาณ

ในรูปที่ 3 แสดงตัวอย่างผลการทำงานของวงจร โดยรูปที่ 3(ก) เป็นสัญญาณแอนะล็อกอินพุตที่ป้อนเข้ามาในวงจร รูปที่ 3(ข) เมื่อสวิตช์ได้รับสัญญาณควบคุมหรือสัญญาณนาฬิกา สวิตช์จะต่อวงจรทำให้สัญญาณสามารถผ่านไปยังตัวเก็บประจุและเก็บประจุตามขนาดที่ได้รับตามตำแหน่งจุดสีดำในช่วงเวลาสั้นๆ จากนั้นสวิตช์จะเปิดวงจร และตัวเก็บประจุ (C) จะรักษาค่าแรงดันที่ได้รับเอาไว้จนถึงช่วงเวลาที่สวิตช์กลับมาทำงานอีกครั้งในจุดต่อไป ดังรูปที่ 3(ค)



รูปที่ 4 วงจรสุ่มและคงค่าสัญญาณในการใช้งาน

การสร้างวงจรสุ่มและคงค่าไปใช้งานมักนิยมใช้ FETs หรือ MOSFETs ทำงานเป็นสวิตช์ ดังรูปที่ 4 เนื่องจากตัวมันมีการทำงานที่รวดเร็ว มีความต้านทางทางด้านอินพุตที่สูงมาก และสามารถทำงานได้ในระดับแรงดันต่ำ

วงจรสุ่มและคงค่าสัญญาณในรูปที่ 4 มีวงจรบัฟเฟอร์ A1, A2 ตัวเก็บประจุสำหรับเก็บระดับสัญญาณอินพุต และใช้ FET ทำงานเป็นสวิตช์ เมื่อมีพัลส์ควบคุม S/H เข้ามาที่ขาเกต FET จะนำกระแสทำให้สัญญาณอินพุต (Vin) ถูกส่งผ่านวงจรบัฟเฟอร์ A1 ไปยังตัวเก็บประจุ ซึ่งจะใช้เวลาเก็บประจุตามสมการที่ (2)

$$T_{charge} = rds_{ON} \times r_{out} \times C \qquad (2)$$

เมื่อ T_{charge} คือเวลาที่ใช้ในการเก็บประจุ

rds_{ON} คือความต้านทานระหว่างขา drain และขา source ขณะที่เฟตนำกระแส

r_{out} คือ ความต้านทานเอาต์พุตของวงจรบัฟเฟอร์

เนื่องจาก rds_{ON} และ r_{out} มีค่าที่น้อยมาก แรงดันอินพุตจะถูกชาร์จไปยังตัวเก็บประจุ C อย่างรวดเร็ว (เช่น ตัวเก็บประจุติดตามสัญญาณอินพุต) เมื่อ FET หยุดนำกระแสจะเปิดวงจรเพื่อแยกตัวเก็บประจุออกจากวงจรบัฟเฟอร์ A1 ทำให้แรงดันที่ตัวเก็บประจุ (Vc) จะคงค่าตามค่าตัวอย่างล่าสุดเป็นสถานะคงค่าสัญญาณ วงจรบัฟเฟอร์ A2 จะช่วยปรับให้การเชื่อมต่อขอวงจรมีความเหมาะสมยิ่งขึ้น ขณะเดียวกันความต้านทางขาเข้าของบัฟเฟอร์ A2 ที่มีค่าสูงมากทำให้เวลาในการคายประจุของตัวเก็บประจุนั้นใช้เวลานานเมื่อเทียบกับระยะเวลาเปิด/ปิดของสัญญาณควบคุม เป็นผลให้แรงดันที่เอาต์พุต (Vout) จะมีค่าประมาณแรงดันที่ตกคร่อมตัวเก็บประจุ (Vc)

$$Vout \approx Vc \qquad (3)$$

3. หลักการที่นำเสนอ

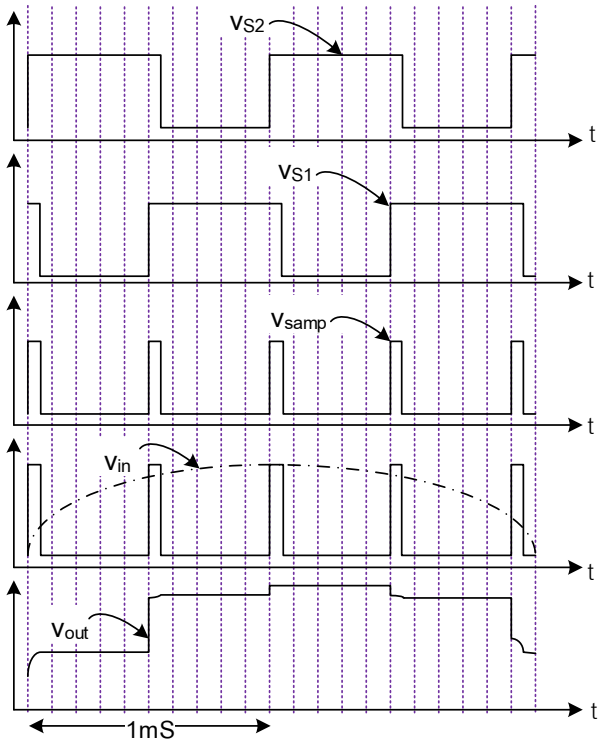
จากหลักการที่ใช้งานทั่วไป ในหัวข้อที่ผ่านมาวงจรสุ่มและคงค่าสัญญาณต้องมีองค์ประกอบต่างๆ เช่น วงจรบัฟเฟอร์ ตัวเก็บประจุและอุปกรณ์ที่ทำหน้าที่เป็นสวิตช์ ซึ่งภายใต้การทำงานในลักษณะเดิมนั้น ช่วงเวลาการสุ่มหรือวงรอบในการเก็บและคงค่าสัญญาณ 1 รอบนั้น จะมีอัตราการสุ่มสัญญาณจากอินพุตเพียงครั้งเดียวเท่านั้น

ในหัวข้อนี้ได้นำเสนอหลักการการเพิ่มอัตราการสุ่มและคงค่าสัญญาณ เพื่อนำไปใช้กับวงจร S/H โดยมีองค์ประกอบที่แตกต่างจากวงจรทั่วไป คือ ใช้สวิตช์จำนวน 2 ตัว ตัวเก็บประจุ 2 ตัว และวงจรบัฟเฟอร์ ภายใต้เงื่อนไขของสัญญาณควบคุมที่ใช้ในการทดสอบต้องมีค่า Duty cycle มากกว่า 50% และสัญญาณควบคุมตัวแรกจะถูกหน่วงเวลาให้ทำงานช้ากว่าสัญญาณควบคุมที่สอง 50% ของคาบเวลาสัญญาณ

3.1 ลักษณะสัญญาณควบคุมการกระตุ้นสวิตช์

ภายใต้หลักการที่นำเสนอนี้ ลักษณะของสัญญาณที่ใช้ควบคุมการทำงานของสวิตช์มีความสำคัญเป็นอย่างยิ่ง เพื่อให้วงจรสามารถทำการ

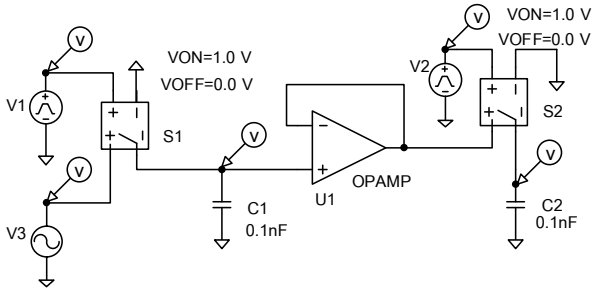
สุ่มและคงค่าได้มากกว่ากรณีทั่วไปสองเท่า ดังแสดงในรูปที่ 5 ประกอบกับวงจรที่ใช้ในการจำลองในรูปที่ 6 สัญญาณ Vs2 จะถูกกำหนดให้มีคาบเวลาเท่ากับ 1mS มีความกว้างพัลส์เท่ากับ 0.55mS หรือมีค่า Duty cycle เท่ากับ 55% ขนาดสัญญาณ 1V มีการหน่วงเวลา (TD)เป็น 0 ส่วน Vs1 กำหนดให้เหมือนกับ Vs2 แต่ปรับ TD ให้มีค่าเท่ากับ 0.5 mS เมื่อนำสัญญาณทั้งสองไปควบคุมการทำงานของสวิตช์ S1 และ S2 วงจรจะมีช่วงเวลาการทำงานของสวิตช์ในเหมือนกับสัญญาณ Vsamp เมื่อนำการทำงานไปเทียบกับสัญญาณอินพุต (Vin) จะเห็นว่าสัญญาณเอาต์พุต (Vout) ที่ได้ภายในกรอบเวลา 1 mS นั้นจะมีการสุ่มและคงค่าของสัญญาณ 2 ครั้งตามที่ต้องการ



รูปที่ 5 ลักษณะสัญญาณควบคุมสวิตช์ที่นำเสนอ

3.2 วงจรที่ใช้จำลองการทำงาน

จากวงจรสุ่มและคงค่าสัญญาณ (S/H) ในรูปที่ 6 ได้นำไปใช้จำลองการทำงานในโปรแกรม Pspice ซึ่งแบบจำลองของวงจรที่จะใช้มีการกำหนดค่าตัวเก็บประจุ (C1) = 0.1nF ค่าตัวแปรของสวิตช์ (S1 และ S2) ROFF=1e12 RON=0.001 VOFF=0.0V VON=1.0V



รูปที่ 6 วงจร S/H ที่ใช้ในการจำลองการทำงาน

ตารางที่ 2 การกำหนดค่าแหล่งกำเนิดสัญญาณในการจำลองการทำงาน

Vpulse (V1)		Vpulse (V2)		Vsin (V3)	
ตัวแปร	ค่า	ตัวแปร	ค่า	ตัวแปร	ค่า
V1	0V	V1	0V	DC	0V
V2	1V	V2	1V	AC	3mV
TD	0.5mS	TD	0S	VOFF	3V
TR	1nS	TR	1nS	VAMP	2V
TF	1nS	TF	1nS	FREQ	100Hz
PW	0.55mS	PW	0.55mS	TD	0mS
PER	1mS	PER	1mS	TF	0mS

4. ผลการจำลองการทำงาน

จากเงื่อนไขและวงจรที่ได้นำเสนอในส่วนที่ 3 ได้นำไปจำลองการทำงานในโปรแกรม Pspice มีผลการทดสอบการจำลองดังนี้

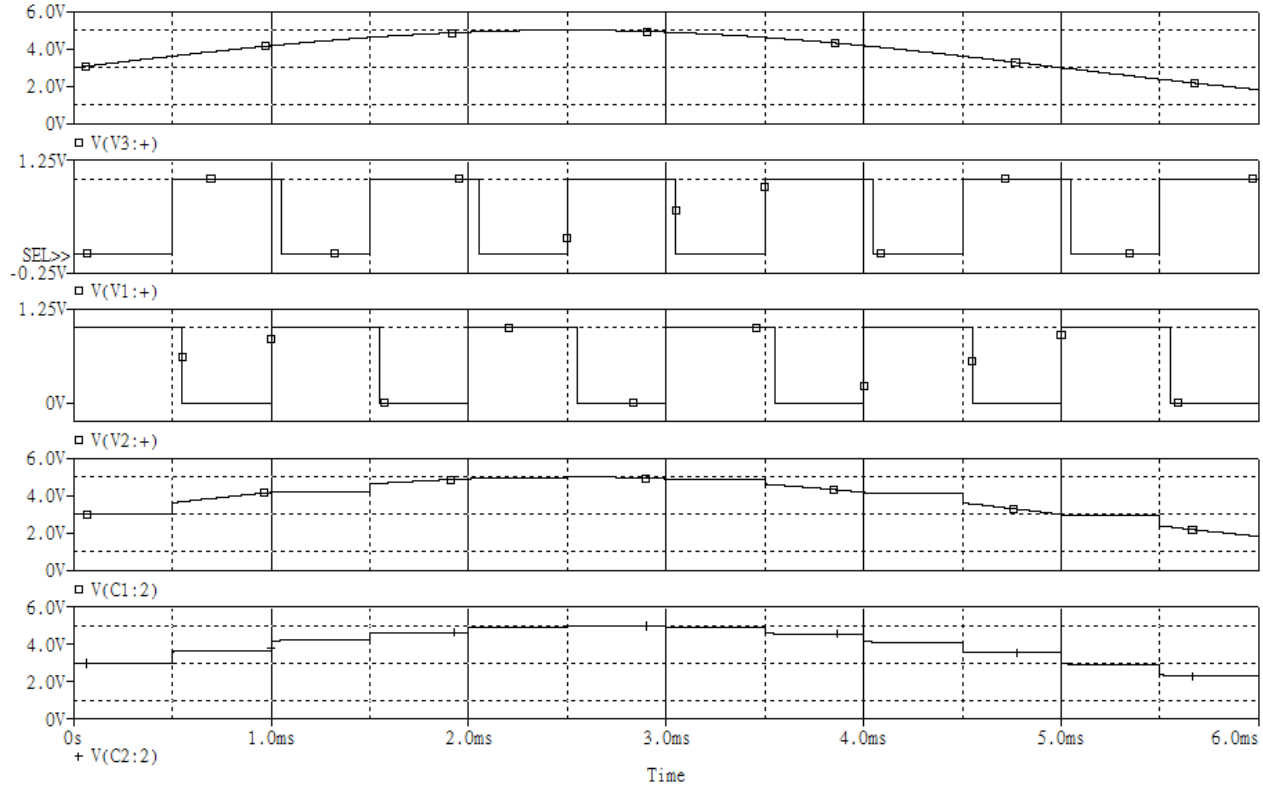
ในรูปที่ 7 ได้แสดงการทำงานตามเงื่อนไขในหัวข้อที่ 3 จะเห็นว่าภาพสัญญาณที่มีการทำงานในช่วง 6 mS นั้น สัญญาณ V(V3:+) เป็นสัญญาณอินพุตที่ป้อนเข้ามาเพื่อทำการสุ่มสัญญาณ โดยมีสัญญาณ V(V1:+) เป็นสัญญาณควบคุมสวิตช์ S1 สัญญาณ V(V2:+) เป็นสัญญาณควบคุมสวิตช์ S2 โดยช่วงที่ S1 และ S2 ทำงานพร้อมกัน จะมีสัญญาณจากอินพุตไปชาร์จประจุที่ C2 และเมื่อเวลาผ่านไปอีกเล็กน้อย S2 จะหยุดทำงาน ทำให้แรงดันเอาต์พุตที่ตกคร่อม C2 ถูกคงค่าไว้ นับเป็นกระบวนการสุ่มและคงค่าไว้เป็นครั้งที่หนึ่ง และเมื่อสวิตช์ S1 และ S2 กลับมาทำงานพร้อมกันอีกครั้งสัญญาณจากอินพุตจะถูกส่งไปชาร์จประจุที่ C2 อีกครั้งจนสวิตช์ S2 หยุดทำงาน วงจรจะกลับมาสู่สภาวะการคงค่าเป็นครั้งที่สองภายในระยะเวลา1 ช่วงคาบเวลา และเป็นเช่นนี้ตลอดไป

ส่วนการทดสอบในรูปที่ 8 ได้จำลองการทำงานโดยกำหนดให้สัญญาณควบคุมสวิตช์มีความกว้างของพัลส์ 40 mS (Duty cycle = 40%) น้อยกว่าเงื่อนไขที่กำหนดไว้ที่ 50% จะเห็นว่าสัญญาณเอาต์พุตที่ตกคร่อม C2 นั้นสามารถสุ่มและคงค่าสัญญาณได้เพียงครั้งเดียวภายในคาบเวลา 1 mS

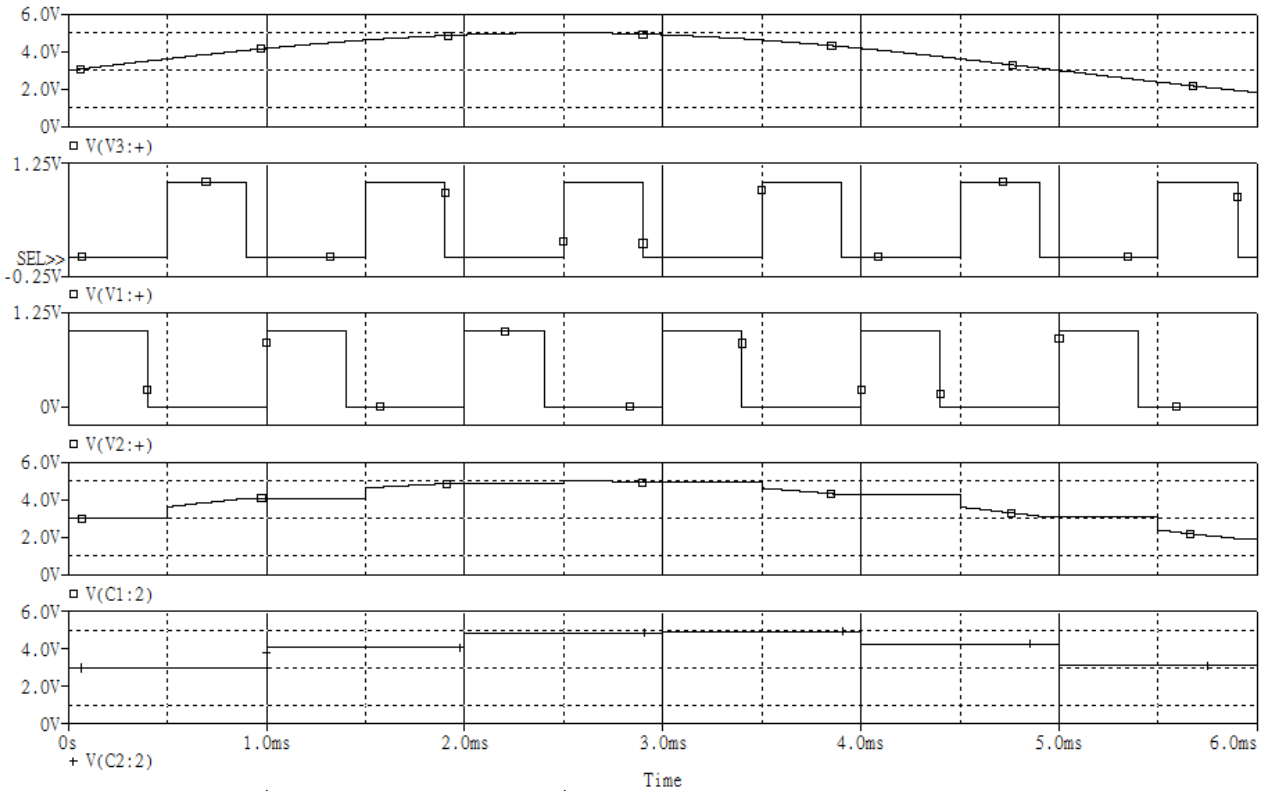
รูปที่ 9 ได้นำสัญญาณเอาต์พุต (Vc2) วิคราะห์สัญญาณทางความถี่ด้วยฟังก์ชั่น FFT สัญญาณ VDB(V(Vduty55)) ที่ Duty cycle 55% จะได้ความถี่ในการสุ่มสัญญาณที่ 2 kHz ส่วนรูปด้านล่าง VDB(V(Vduty40)) ที่ Duty cycle 40% มีความถี่ในการสุ่มสัญญาณที่ 1 kHz

5. บทสรุป

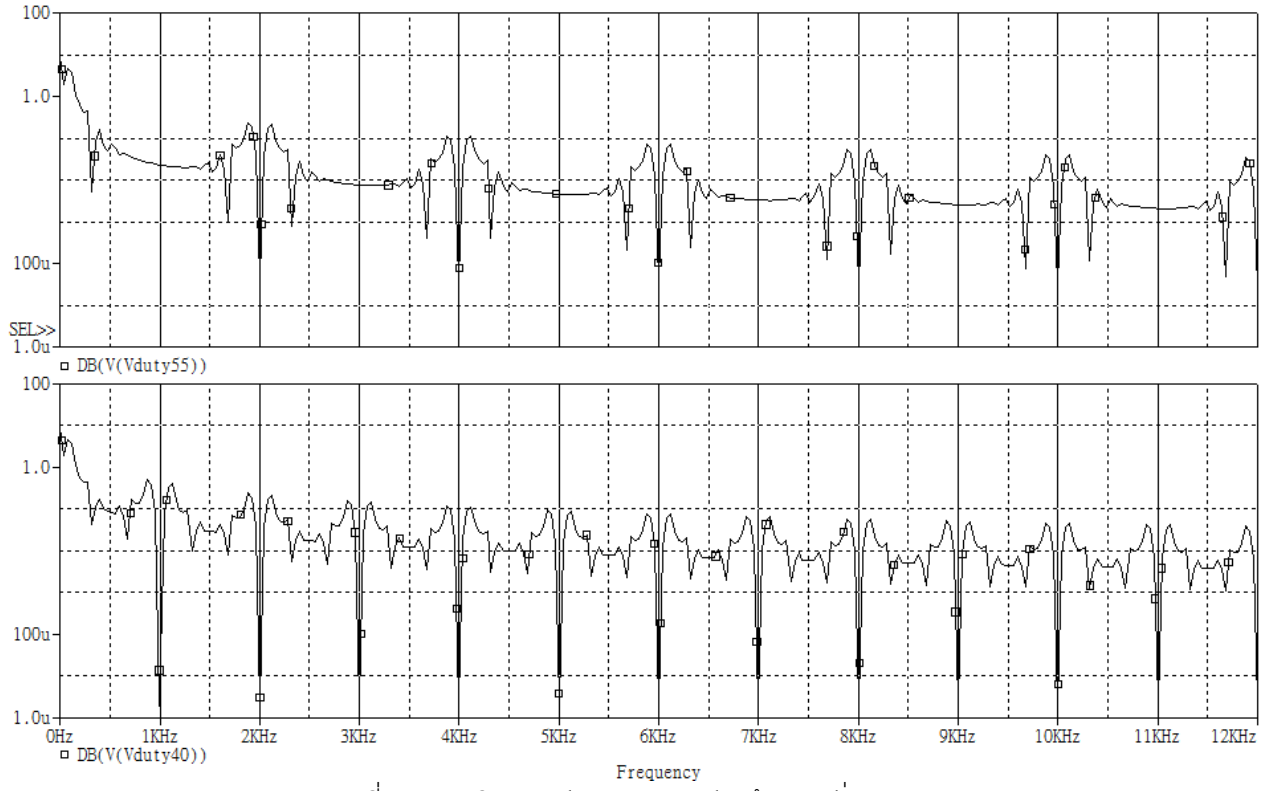
จากหลักการที่ได้นำเสนอและผลการจำลองการทำงานตามแนวคิดการเพิ่มอัตราการสุ่มสัญญาณให้เป็นสองเท่าในวงจร S/H ด้วยการปรับลักษณะสัญญาณควบคุมของสวิตช์ทั้งสองตัวนั้นสามารถทำงานได้ตามต้องการ ทั้งนี้สัญญาณควบคุมจะต้องมีความกว้างของพัลส์มากกว่า 50% (หรือมีค่าduty cycle มากกว่า 50%) และสัญญาณควบคุมทั้งสองนี้จะต้องมีการหน่วงเวลาให้มีความแตกต่างกันเพียงพอต่อการทำงานของสวิตช์สองครั้งภายใน 1 คาบเวลา



รูปที่ 7 ผลการจำลองการทำงานเมื่อปรับสัญญาณควบคุมมีค่า Duty cycle 55%



รูปที่ 8 ผลการจำลองการทำงานเมื่อปรับสัญญาณควบคุมมีค่า Duty cycle 40%



รูปที่ 9 ผลการวิเคราะห์สัญญาณเอาต์พุตด้วยฟังก์ชั่น FFT

เอกสารอ้างอิง

[1] Pavan Ashokrao Kale and Pranav Kulkarni, “Improved Sample and Hold Circuit using MOSFET”, International Journal of Engineering Research & Technology (IJERT), June – 2014, Vol. 3 Issue 6, pp. 913-916.

[2] Alireza Abolhasani, Mohammad Tohidi, Khayrollah Hadidi, Abdollah Khoei, “A new high-speed, high-resolution open-loop CMOS sample and hold”, Analog Integrated Circuits and Signal Processing, September 2013.

[3] Ximing Fu, Yushi Zhou, and Kamal El-Sankary, “Design of High-Bandwidth, High-DC Gain Single-Stage Amplifier for High-Speed ADCs”, 2022 IEEE Canadian Conference on Electrical and Computer Engineering (CCECE), September 18th to 20th, 2022, pp.219-223.

[4] Proakis, J.G.; Manolakis, D.G. “Digital Signal Processing: Principles, Algorithms, and Applications”, Prentice Hall:Upper Saddle River, NJ, USA, 2007.

[5] Hamed Taherdoost, “Sampling Methods in Research Methodology; How to Choose a Sampling Technique for Research”, International Journal of Academic Research in Management (IJARM) Vol. 5, No. 2, 2016, Page: 18-27.

[6] Krzysztof Achtenberg, Janusz Mikolajczyk, Dariusz Szabra, Artur Prokopiuk, Zbigniew Bielecki, “Review of Peak Signal Detection Methods in Nanosecond Pulses Monitoring”, Metrol. Meas. Syst.,Vol. 27 (2020), No. 2, pp. 203–218.

[7] A. M. A. Ali et al., "A 12-b 18-GS/s RF Sampling ADC With an Integrated Wideband Track-and-Hold Amplifier and Background Calibration," in IEEE Journal of Solid-State Circuits, vol. 55, no. 12, pp. 3210-3224, Dec. 2020.

[8] V. K. Jain, D. S. Ajnar and P. K. Jain, "Design and Simulation of Two Stage Sample and Hold Circuit with Low Power using Current Controlled Conveyor," 2019 International Conference on Communication and Electronics Systems (ICCES), Coimbatore, India, 2019, pp. 2041-2045